

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-351389

(43)Date of publication of application : 06.12.2002

(51)Int.Cl. G09G 3/28
G09G 3/20
H04N 5/66

(21)Application number : 2001-155473

(71)Applicant : PIONEER ELECTRONIC CORP
SHIZUOKA PIONEER KK

(22)Date of filing : 24.05.2001

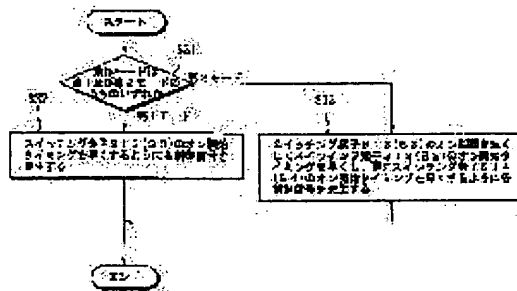
(72)Inventor : IDE SHIGEO

(54) DISPLAY DEVICE AND METHOD FOR THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device which has a function to restrict the power of the driving circuit of a display panel and in which brightness and luminous efficiency are improved, and to provide a driving method for the same.

SOLUTION: A maintenance discharge pulse is supplied between a line electrode pair by carrying out a first process in which the potential of one of the line electrode is gradually changed from a first potential to a second potential by the resonance action between a capacitive load and a first inductance element in the sate where either the line electrodes is fixed to the first potential during the light-emitting maintenance period of the display panel, a second process in which the potential of the other line electrode is fixed to the second potential, and a third process in which the potential of the other line electrode is gradually changed from the second potential to the first potential by the resonance action between the capacitive load and a second inductance element. When a power restriction circuit does not restrict the power consumption of the drive circuit, the process is shifted to the second process before one of the line electrodes reaches the second potential in the first process. When the power restriction circuit restricts the power consumption of the drive circuit, the period of the second process is shortened and the process is shifted to the third process.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-351389

(P2002-351389A)

(43) 公開日 平成14年12月6日 (2002. 12. 6)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 1 2 U 5 C 0 5 8
3/20	6 1 2		6 2 4 M 5 C 0 8 0
	6 2 4		6 4 1 E
	6 4 1		6 4 2 D
	6 4 2	H 0 4 N 5/66	1 0 1 B
審査請求 未請求 請求項の数 2 O L (全 15 頁) 最終頁に続く			

(21) 出願番号 特願2001-155473 (P2001-155473)

(22) 出願日 平成13年5月24日 (2001. 5. 24)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(71) 出願人 398050283

静岡バイオニア株式会社

静岡県袋井市鷺巣字西ノ谷15の1

(72) 発明者 井手 茂生

山梨県中巨摩郡田富町西花輪2680番地 静

岡バイオニア株式会社甲府事業所内

(74) 代理人 100079119

弁理士 藤村 元彦

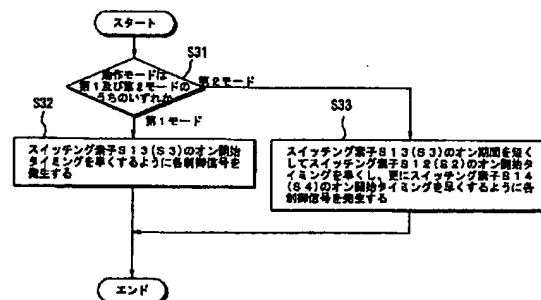
最終頁に続く

(54) 【発明の名称】 表示装置及び方法

(57) 【要約】

【課題】 表示パネルの駆動回路の電力制限機能を備え、輝度及び発光効率を改善することができる表示装置及び駆動方法を提供する。

【解決手段】 表示パネルの発光維持期間に行電極対のいずれか一方を第1電位に固定した状態で、容量性負荷と第1インダクタンス素子との共振作用により行電極対の他方を第1電位から第2電位に向けて徐々に変化させる第1行程と、行電極対の他方を第2電位に固定する第2行程と、容量性負荷と第2インダクタンス素子との共振作用により行電極対の他方を第2電位から第1電位に向けて徐々に変化させる第3行程と、を実行することによって行電極対間に維持放電バルスを与え、電力制限回路が駆動回路の消費電力を制限しない時には第1行程で行電極対の他方が第2電位に達する前に第2行程に移行し、電力制限回路が駆動回路の消費電力を制限する時には第2行程の期間を短くして第3行程に移行する。



【特許請求の範囲】

【請求項1】 各対間に容量性負荷を有する複数の行電極対と、前記行電極対に交差して配列されており各交差部にて放電セルを形成する複数の列電極とを有する表示パネルと、

前記表示パネルの発光維持期間に前記行電極対のいずれか一方を第1電位に固定した状態で、前記容量性負荷と第1インダクタンス素子との共振作用により前記行電極対の他方を前記第1電位から第2電位に向けて徐々に変化させる第1行程と、前記行電極対の他方を前記第2電位に固定する第2行程と、前記容量性負荷と第2インダクタンス素子との共振作用により前記行電極対の他方を前記第2電位から第1電位に向けて徐々に変化させる第3行程と、を実行することによって前記行電極対間に維持放電パルスを与える駆動回路と、

入力画像信号の輝度情報に応じて前記駆動回路の消費電力を制限する電力制限回路と、を備えた表示装置であって、

前記駆動回路は、前記電力制限回路が前記駆動回路の消費電力を制限しない時には前記第1行程で前記行電極対の他方が前記第2電位に達する前に前記第2行程に移行し、前記電力制限回路が前記駆動回路の消費電力を制限する時には前記第2行程の期間を短くして前記第3行程に移行することを特徴とする表示装置。

【請求項2】 各対間に容量性負荷を有する複数の行電極対と、前記行電極対に交差して配列されており各交差部にて放電セルを形成する複数の列電極とを有する表示パネルの駆動方法であって、

前記表示パネルの発光維持期間に前記行電極対のいずれか一方を第1電位に固定した状態で、前記容量性負荷と第1インダクタンス素子との共振作用により前記行電極対の他方を前記第1電位から第2電位に向けて徐々に変化させる第1行程と、前記行電極対の他方を前記第2電位に固定する第2行程と、前記容量性負荷と第2インダクタンス素子との共振作用により前記行電極対の他方を前記第2電位から第1電位に向けて徐々に変化させる第3行程と、を実行することによって前記行電極対間に維持放電パルスを与え、

消費電力の非制限時には前記第1行程で前記行電極対の他方が前記第2電位に達する前に前記第2行程に移行し、消費電力の制限時には前記第2行程の期間を短くして前記第3行程に移行することを特徴とする制御方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、マトリクス表示方式のプラズマディスプレイパネル（以下、PDPと称する）等の表示パネルを備えた表示装置に関する。

【0002】

【従来の技術】近年、表示装置の大型化に伴い、薄型の表示装置が要求され、各種の薄型表示装置が実用化され

ている。AC（交流放電）型のPDPを用いた表示装置は、かかる薄型表示装置の1つとして着目されている。PDPは、複数の列電極（アドレス電極）と、これら列電極と交叉して配列された複数の行電極対とを備えている。これら各行電極対及び列電極は、放電空間に対して誘電体層で被覆されており、行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。ここで、PDPは放電現象を利用して発光表示を行うものである為、上記放電セルの各々は、発光しているか否かの2つの状態しかもたない。そこで、かかるPDPにより、入力映像信号に対応した中間調の輝度表示を実現させるべく、サブフィールド法を用いる。サブフィールド法では、1フィールドの表示期間をN個のサブフィールドに分割し、各サブフィールド毎に、入力映像信号に応じた画素データ(Nビット)のビット桁の重み付けに対応した発光回数を割り当てて発光駆動を実行する。

【0003】

【発明が解決しようとする課題】かかるサブフィールド法を用いた表示装置においては、各サブフィールドでは、その重み付けに対応した回数だけ維持放電発光を行い、各サブフィールドにおける維持放電発光回数は固定となっている。従って、全画面に亘って高輝度になったとき、眩しく感じられるという問題があった。

【0004】これに対処するためにサブフィールド法を用いた表示装置においては、CRT等の他の表示装置と同様に、画面の輝度を制限して消費電力を制限する輝度制限回路（ABL回路）が用いられている。その輝度制限回路においては、入力される画像信号の輝度情報（例えば、平均輝度レベル）に基づいて各サブフィールドにおける維持パルス数（維持放電発光回数）や画像信号の輝度レベルを制限することが行われる。

【0005】しかしながら、消費電力を制限する従来の表示装置は、適切な輝度にすると共に良好な発光効率を得ることが難しいという問題点があった。そこで、本発明の目的は、表示パネルの駆動回路の電力制限機能を備え、輝度及び発光効率を改善することができる表示装置及び駆動方法を提供することである。

【0006】

【課題を解決するための手段】本発明の表示装置は、各対間に容量性負荷を有する複数の行電極対と、行電極対に交差して配列されており各交差部にて放電セルを形成する複数の列電極とを有する表示パネルと、表示パネルの発光維持期間に行電極対のいずれか一方を第1電位に固定した状態で、容量性負荷と第1インダクタンス素子との共振作用により行電極対の他方を第1電位から第2電位に向けて徐々に変化させる第1行程と、行電極対の他方を第2電位に固定する第2行程と、容量性負荷と第2インダクタンス素子との共振作用により行電極対の他方を第2電位から第1電位に向けて徐々に変化させる第

3行程と、を実行することによって行電極対間に維持放電パルスを与える駆動回路と、入力画像信号の輝度情報に応じて駆動回路の消費電力を制限する電力制限回路と、を備えた表示装置であって、駆動回路は、電力制限回路が駆動回路の消費電力を制限しない時には第1行程で行電極対の他方が第2電位に達する前に第2行程に移行し、電力制限回路が駆動回路の消費電力を制限する時には第2行程の期間を短くして第3行程に移行することを特徴としている。

【0007】本発明の表示パネルの駆動方法は、各対間に容量性負荷を有する複数の行電極対と、行電極対に交差して配列されており各交差部にて放電セルを形成する複数の列電極とを有する表示パネルを駆動する駆動回路の制御方法であって、表示パネルの発光維持期間に行電極対のいずれか一方を第1電位に固定した状態で、容量性負荷と第1インダクタンス素子との共振作用により行電極対の他方を第1電位から第2電位に向けて徐々に変化させる第1行程と、行電極対の他方を第2電位に固定する第2行程と、容量性負荷と第2インダクタンス素子との共振作用により行電極対の他方を第2電位から第1電位に向けて徐々に変化させる第3行程と、を実行することによって行電極対間に維持放電パルスを与え、消費電力の非制限時には第1行程で行電極対の他方が第2電位に達する前に第2行程に移行し、消費電力の制限時には第2行程の期間を短くして第3行程に移行することを特徴としている。

【0008】

【発明の実施の形態】以下、本発明の実施例を図面を参照しつつ詳細に説明する。図1は、本発明によるプラズマディスプレイパネル（以下、PDPと称する）を用いた表示装置の概略構成を示す図である。表示装置は図1に示されるように、A/D変換器1、駆動制御回路2、データ変換回路30、メモリ4、PDP10、アドレスドライバ6、第1及び第2サスティンドライバ7、8を備えている。

【0009】A/D変換器1は、駆動制御回路2から供給されるクロック信号に応じて、アナログの入力映像信号をサンプリングしてこれを1画素毎に例えば8ビットの画素データ（入力画素データ）Dに変換し、これをデータ変換回路30に供給する。駆動制御回路2は、入力映像信号中の水平及び垂直同期信号に同期して、A/D変換器1に対するクロック信号、及びメモリ4に対する書込・読出信号を発生する。更に、駆動制御回路2は、かかる水平及び垂直同期信号に同期して、アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々を駆動制御すべき各種タイミング信号を発生する。

【0010】データ変換回路30は、かかる8ビットの画素データDを、14ビットの変換画素データ（表示画素データ）HDに変換し、これをメモリ4に供給する。

尚、かかるデータ変換回路30の変換動作については、後述する。メモリ4は、駆動制御回路2から供給されてくる書込信号に従って変換画素データHDを順次書き込む。かかる書込動作により1画面（n行、m列）分の書き込みが終了すると、メモリ4は、この1画面分の変換画素データHD_{11~nm}を、各ビット桁毎に分割して読み出し、これを1行分毎に順次アドレスドライバ6に供給する。

【0011】アドレスドライバ6は、駆動制御回路2から供給されたタイミング信号に応じて、かかるメモリ4から読み出された1行分の変換画素データビット各々の論理レベルに対応した電圧を有するm個の画素データパルスを発生し、これらをPDP10の列電極D₁~D_mに夫々印加する。PDP10は、アドレス電極としての列電極D₁~D_mと、これら列電極と直交して配列されている行電極X₁~X_n及び行電極Y₁~Y_nを備えている。PDP10では、これら行電極X及び行電極Yの一对にて1行分に対応した行電極を形成している。すなわち、PDP10における第1行目の行電極対は行電極X₁及びY₁であり、第n行目の行電極対は行電極X_n及びY_nである。行電極対及び列電極は放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。

【0012】第1サスティンドライバ7及び第2サスティンドライバ8各々は、駆動制御回路2から供給されたタイミング信号に応じて、以下に説明するが如き各種駆動パルスを発生し、これらをPDP10の行電極X₁~X_n及びY₁~Y_nに印加する。かかるプラズマディスプレイ装置においては、駆動制御回路2から供給されるタイミング信号に応じてPDP10に対する駆動が、図2に示すように、1フィールドの表示期間を、14個のサブフィールドSF1~SF14に分割して行なわれる。

【0013】図3は、かかるデータ変換回路30の内部構成を示す図である。データ変換回路30は図3に示されるように、ABL（自動輝度制御）回路31、第1データ変換回路32、多階調化処理回路33及び第2データ変換回路34を備えている。ABL回路31は、PDP10の画面上に表示される画像の平均輝度が所定の輝度範囲内に収まるように、A/D変換器1から順次供給されてくる各画素毎の画素データDに対して輝度レベルの調整を行い、この際得られた輝度調整画素データD_{adj}を第1データ変換回路32に供給する。かかる輝度レベルの調整は、上述の如くサブフィールドの発光回数の比を非線形に設定して逆ガンマ補正を行う前に行われる。よって、ABL回路31は、画素データ（入力画素データ）Dに逆ガンマ補正を施し、この際得られた逆ガンマ変換画素データの平均輝度に応じて画素データDの輝度レベルを自動調整するように構成されている。これにより、輝度調整による表示品質の劣化を防止するのであ

る。

【0014】図4は、かかるABL回路31の内部構成を示す図である。図4において、レベル調整回路310は、後述する平均輝度検出回路311によって求められた平均輝度に応じて画素データDのレベルを調整して得られた輝度調整画素データ D_{a1} を出力する。データ変換回路312は、かかる輝度調整画素データ D_{a1} を図5に示されるが如き非線形特性からなる逆ガンマ特性($Y=X^{1/2}$)にて変換したものを逆ガンマ変換画素データ D_r として平均輝度レベル検出回路311に供給する。すなわち、データ変換回路312にて、輝度調整画素データ D_{a1} に対して逆ガンマ補正を施すことにより、ガンマ補正の解除された元の映像信号に対応した画素データ(逆ガンマ変換画素データ D_r)を復元するのである。

【0015】平均輝度検出回路311は、各サブフィールドでの発光期間(発光回数)を指定するために例えば図6に示されるが如き第1モード及び第2モードの中から、上述の如く求めた平均輝度に応じた輝度にてPDP10を発光駆動し得る輝度モードを選択し、この選択した輝度モードを示す輝度モード信号LCを駆動制御回路2に供給する。この際、駆動制御回路2は、図2に示されるサブフィールドSF1～SF14各々の維持発光行程lcにおいて発光維持する期間、すなわち、各維持発光行程lc内において印加される維持パルス数を、図6に示されるが如き輝度モード信号LCにて指定されたモード毎の発光回数比に従って設定する。すなわち、入力画素データDの平均輝度レベルが所定値未満では、第1モードに設定され、平均輝度レベルが所定値以上になったとき各サブフィールドの発光回数が第1モードの場合よりも少ない第2モードに切り換わり、自動的に輝度が制限される。

【0016】また、平均輝度検出回路311は、逆ガンマ変換画素データ D_r からその平均輝度を求めてレベル調整回路310に供給する。図3における第1データ変換回路32は、図7に示されるが如き変換特性に基づいて256階調(8ビット)の輝度調整画素データ D_{a1} を $14 \times 16 / 255$ ($224 / 255$)にした8ビット(0～224)の変換画素データHD₁に変換して多階調化処理回路33に供給する。具体的には、8ビット(0～255)の輝度調整画素データ D_{a1} がかかる変換特性に基づく変換テーブルに従って変換される。すなわち、この変換特性は、入力画素データのビット数、多階調化による圧縮ビット数及び表示階調数に応じて設定される。このように、後述する多階調化処理回路33の前段に第1データ変換回路32を設けて、表示階調数、多階調化による圧縮ビット数に合わせた変換を施し、これにより輝度調整画素データ D_{a1} を上位ビット群(多階調化画素データに対応)と下位ビット群(切り捨てられるデータ：誤差データ)をビット境界で切り分け、この信号に基づいて多階調化処理を行うようになっている。

これにより、多階調化処理による輝度飽和の発生及び表示階調がビット境界にない場合に生じる表示特性の平坦部の発生(すなわち、階調歪みの発生)を防止することができる。

【0017】なお、下位ビット群は切り捨てられるので階調数が減少することになるが、その階調数の減少分は、多階調化処理回路33の動作により擬似的に得られるようにしている。図8は、駆動制御回路2から供給された各種タイミング信号に応じて、アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々がPDP10の列電極D、行電極X及びYに夫々印加する各種駆動パルスの印加タイミング(1フィールド内での)を示す図である。

【0018】図8において、先ず、サブフィールドSF1においてのみで実行する一斉リセット行程Rcでは、第1サスティンドライバ7及び第2サスティンドライバ8が、図に示されるが如き負極性のリセットパルス R_{P1} 及び正極性のリセットパルス R_{P2} を行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に同時に印加する。これらリセットパルス R_{P1} 及び R_{P2} の印加により、PDP10中の全ての放電セルがリセット放電され、各放電セル内には一様に所定の壁電荷が形成される。これにより、PDP10における全ての放電セルは、一旦、“発光セル”に初期設定される。

【0019】次に、各サブフィールドでの画素データ書込行程Wcにおいて、アドレスドライバ6は、上述した如くメモリから供給された $DB1_{11 \sim n1} \sim DB1_{141 \sim n1}$ 各々から、その論理レベルに対応した電圧を有する画素データパルス群 $DP1_{11 \sim n1} \sim DP1_{141 \sim n1}$ を生成する。アドレスドライバ6は、これら画素データパルス群 $DP1_{11 \sim n1} \sim DP1_{141 \sim n1}$ 各々を、サブフィールドSF1～SF14に夫々割り当て、各サブフィールド毎にこれを1行分づつ順次列電極 $D_{1 \sim m}$ に印加して行く。例えば、サブフィールドSF1の画素データ書込行程Wcでは、先ず、上記 $DB1_{11 \sim n1}$ の内から第1行目に対応した分、つまり $DB1_{11 \sim n1}$ を抽出し、これら $DB1_{11 \sim n1}$ 各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群 $DP1_1$ を生成して列電極 $D_{1 \sim m}$ に印加する。次に、 $DB1_{11 \sim n1}$ の第2行目に対応した $DB1_{21 \sim n2}$ を抽出し、これら $DB1_{21 \sim n2}$ 各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群 $DP1_2$ を生成して列電極 $D_{1 \sim m}$ に同時印加する。以下、同様にして、サブフィールドSF1の画素データ書込行程Wcでは、1行分毎の画素データパルス群 $DP1_1 \sim DP1_m$ を順次列電極 $D_{1 \sim m}$ に印加して行くのである。尚、アドレスドライバ6は、 $DB1$ の論理レベルが例えば“1”である場合には高電圧の画素データパルスを生成し、 $DB1$ の論理レベルが“0”である場合には低電圧(0ボルト)の画素データパルスを生成するものとする。又、サブフィールドSF2の画素データ書込行

程Wcでは、先ず、上記DB2_{11-1n}の内から第1行目に対応した分、つまりDB2₁₁₋₁₁を抽出し、これらDB2_{11-1n}各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP2₁を生成して列電極D_{1-n}に印加する。次に、DB2_{11-2n}の第2行目に対応したDB2₁₁₋₂₁を抽出し、これらDB2_{11-2n}各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP2₂を生成して列電極D_{1-n}に印加する。以下、同様にして、サブフィールドSF2の画素データ書込行程Wcでは、1行分毎の画素データパルス群DP2₁〜DP2_nを順次列電極D_{1-n}に印加して行くのである。

【0020】アドレスドライバ6は、サブフィールドSF3〜SF14各々の画素データ書込行程Wcにおいても前述した方法と同様に、DB3_{11-nn}〜DB14_{1-nn}各々から画素データパルス群DP3_{1-n}〜DP14_{1-n}を生成し、これらを1行分毎に順次列電極D_{1-n}に印加して行く。ここで、第2サスティンドライバ8は、上述した如き画素データパルス群DPの各印加タイミングと同一タイミングにて、図8に示されるが如き負極性の走査パルスSPを発生してこれを行電極Y₁〜Y_nへと順次印加して行く。この際、走査パルスSPが印加された"行"と、高電圧の画素データパルスが印加された"列"との交差部の放電セルにのみ放電(選択消去放電)が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。かかる選択消去放電により、一斉リセット行程Rcにて"発光セル"の状態に初期化された放電セルは、"非発光セル"に推移する。尚、低電圧の画素データパルスが印加された"列"に形成されている放電セルでは放電が生起されず、一斉リセット行程Rcにて初期化された状態、つまり"発光セル"の状態が維持される。

【0021】次に、各サブフィールドでの発光維持行程Icにおいては、第1サスティンドライバ7及び第2サスティンドライバ8は、行電極X₁〜X_n及びY₁〜Y_nに対して、交互に正極性の維持パルスIP_x及びIP_yを印加する。尚、各サブフィールド内の発光維持行程Icにおいて、これら維持パルスIP_x及びIP_yが印加される回数(期間)は、サブフィールドSF毎に設定されている。例えば、図2に示したサブフィールドSF1〜SF14において、サブフィールドSF1での発光回数を"4"とした場合、

SF1: 4
SF2: 12
SF3: 20
SF4: 32
SF5: 40
SF6: 52
SF7: 64
SF8: 76
SF9: 88

SF10: 100
SF11: 112
SF12: 128
SF13: 140
SF14: 156

なる回数(期間)の分だけ、各サブフィールド内の発光維持行程Icにおいて、維持パルスIP_x及びIP_yを印加するのである。かかる維持パルスIPの印加により、画素データ書込行程Wcにて壁電荷が残留したままとなっている放電セル、すなわち"発光セル"は、維持パルスIP_x及びIP_yが印加される度に維持放電し、各サブフィールド毎に割り当てられた回数(期間)分だけその放電発光状態を維持する。よって、サブフィールドSF1の発光維持行程Icによれば、入力映像信号の低輝度成分に対する発光表示が為され、一方、サブフィールドSF14の発光維持行程Icによれば、高輝度成分に対する発光表示が為されるのである。

【0022】又、図8に示されるが如く、最後尾のサブフィールドSF14においてのみで実施する消去行程Eでは、アドレスドライバ6が、消去パルスAPを発生してこれを列電極D_{1-n}の各々に印加する。第2サスティンドライバ8は、かかる消去パルスAPの印加タイミングと同時に消去パルスEPを発生してこれを行電極Y₁〜Y_n各々に印加する。これら消去パルスAP及びEPの同時印加により、PDP10における全放電セル内において消去放電が生起され、全ての放電セル内に残存している壁電荷が消滅する。すなわち、かかる消去放電により、PDP10における全ての放電セルが"非発光セル"になるのである。

【0023】図9は、図8に示されるが如き発光駆動フォーマットに基づいて実施される発光駆動の全パターンを示す図である。図9に示されるように、サブフィールドSF1〜SF14の内の1つのサブフィールドでの画素データ書込行程Wcにおいてのみで、各放電セルに対して選択消去放電を実施する(黒丸にて示す)。すなわち、一斉リセット行程Rcの実行によってPDP10の全放電セル内に形成された壁電荷は、上記選択消去放電が実施されるまでの間残留し、その間に存在するサブフィールドSF各々での維持発光行程Icにおいて放電発光を促す(白丸にて示す)。つまり、各放電セルは、1フィールド期間内において選択消去放電が為されるまでの間、発光セルとなり、その間に存在するサブフィールド各々での維持発光行程Icにおいて、図2に示されるが如き発光期間比にて発光を継続するのである。

【0024】この際、図9に示されるように、各放電セルが発光セルから非発光セルへと推移する回数は、1フィールド期間内において必ず1回以下となるようにしている。すなわち、1フィールド期間内において一旦、非発光セルに設定した放電セルを再び発光セルに復帰させるような発光駆動パターンを禁止したのである。よっ

て、画像表示に関与していないにも拘わらず強い発光を伴う一斉リセット動作を図2及び図8に示されるが如く、1フィールド期間内において1回だけ実施しておけば良いので、コントラストの低下を抑えることが出来る。

【0025】また、1フィールド期間内において実施する選択消去放電は、図9の黒丸にて示されるが如く最高でも1回なので、その消費電力を抑えることが可能となるのである。更に、図9に示されるように、1フィールド期間内において発光状態にある期間と、非発光状態となる期間とが互いに反転するような発光パターンは存在しないので、偽輪郭を抑制出来る。

【0026】また、上記した走査バースSPについては、そのバース幅がサブフィールドSF1～SF14の順のうちの時間的に前に位置するサブフィールドほど大きく設定されている。これは、次のような理由のためである。選択消去動作が行なわれるサブフィールドより前のサブフィールドが発光状態で十分に維持放電発光が繰り返されている場合（高輝度の場合）には、放電空間内に十分なブライミング粒子が存在して選択消去放電が確実に行なわれる。一方、選択消去動作が行なわれるサブフィールドの前に発光状態となるサブフィールドがない、或いは発光状態となるサブフィールドがあっても少ない場合（サブフィールドSF1又はSF2にて選択消去放電が行なわれる低輝度の場合）には、維持放電発光の回数が少なく、放電空間内に十分なブライミング粒子が存在しない。このように放電空間内に十分なブライミング粒子が存在しない状態で選択消去動作のサブフィールドを迎えると、走査バースSPを印加してから実際に選択消去放電が起きるまでに時間的な遅れが生じてしまい、選択消去放電が不安定となり、結果として維持放電期間において誤放電が生じ表示品質が低下する。そこで、走査バースSPのバース幅をサブフィールドSF1～SF14の順のうちの時間的に前に位置するサブフィールドほど大きく、すなわち、1フィールド期間内の先頭のサブフィールドSF1（第1群のサブフィールド）における走査バースSPのバース幅をサブフィールドSF1に続くサブフィールドSF2（第2群のサブフィールド）、サブフィールドSF3（第3群のサブフィールド）、……、サブフィールドSF14（第14群のサブフィールド）における走査バースSPのバース幅より大きく設定することにより、走査バースSPの印加中に選択消去放電が必ず起きるようにすることができるので、選択消去動作の安定を確保することができる。

【0027】また、各同一サブフィールドの走査バースSPのバース幅は第1モードより第2モードの方が大となるように設定されている。これは、次のような理由のためである。上述のように、入力画素データDの平均輝度レベルに応じて第1モード及び第2モードのいずれか一方を選択し、各同一サブフィールドにおける維持放電

期間の発光回数（維持バース数）を変更して輝度制御を行なう場合、入力画素データDの平均輝度レベルが所定値以上になると第2モードに切り換わる。この第2モードでは、第1モードに比して各同一サブフィールドにおける維持放電発光の回数が減少するため、第1モードに比して維持放電発光により放電空間内に励起されるブライミング粒子が減少し、画素データ書込行程における選択消去放電が不安定となり、結果として維持放電期間において誤放電が生じ表示品質が低下する。そこで、第2モードにおける各サブフィールドの走査バースSPのバース幅を第1モードよりも長く設定する（すなわち、走査バースSPのスキュンレートが長くなる）ことにより、走査バースの印加期間中に選択消去放電が必ず起きるようにして選択消去動作の安定性を確保している。

【0028】第2データ変換回路34は、かかる多階調化画素データD_sを図10に示されるが如き変換テーブルに従って、サブフィールドSF1～SF14各々に対応した第1～第14ビットからなる変換画素データ（表示画素データ）HDに変換する。なお、多階調化画素データD_sは、8ビット（256階調）の入力画素データDを第1データ変換に従って224/225にし、更に、例えば誤差拡散処理及びディザ処理の如き多階調化処理により、夫々2ビット分が圧縮されて、計4ビット（15階調）のデータに変換されたものである。

【0029】ここで、変換画素データHDにおける第1～第14ビットの内、論理レベル"1"のビットは、そのビットに対応したサブフィールドSFでの画素データ書込行程W_cにおいて選択消去放電を実施させることを示すものである。ここで、PDP10の各放電セルに対応した変換画素データHDは、メモリ4を介してアドレスドライバ6に供給される。この際、1放電セルに対応した変換画素データHDの形態は、必ず図10に示されるが如き15パターンの中のいずれか1となる。アドレスドライバ6は、変換画素データHD中の第1～第14ビット各々をサブフィールドSF1～14各々に割り当て、そのビット論理が論理レベル"1"である場合に限り、該当するサブフィールドでの画素データ書込行程W_cにおいて高電圧の画素データバースを発生し、これをPDP10の列電極Dに印加する。これにより、選択消去放電が生起されるのである。

【0030】以上の如く、データ変換回路30により8ビットの画素データDは14ビットの変換画素データHDに変換されて、図10に示されるが如き15段階の階調表示が実施されるようになるが、上述した如き多階調化処理回路33の動作により、実際の視覚上における階調表現は256階調になる。以上の如く、先ず、1フィールド期間内における先頭のサブフィールドにおいてのみで全ての放電セルを発光セル（選択消去アドレス法を採用した場合）の状態に初期化する放電を生起させる。次に、いずれか1のサブフィールドでの画素データ書込

行程においてのみで、各放電セルを画素データに応じて非発光セル又は発光セルに設定する。更に、各サブフィールドでの発光維持行程では、発光セルのみをサブフィールドの重み付けに対応した発光期間だけ発光させるようにしている。かかる駆動方法によれば、選択消去アドレス法の場合には、表示すべき輝度の増加につれて1フィールドの先頭のサブフィールドから順に発光状態となり、一方、選択消去アドレス法の場合には、表示すべき輝度の増加につれて1フィールドの最後尾のサブフィールドから順に発光状態となる。

【0031】図11は第1及び第2サスティンドライバ7、8の具体的構成を電極 X_i 及び電極 Y_j について示している。電極 X_i は電極 $X_1 \sim X_n$ のうちの第 j 行の電極であり、電極 Y_j は電極 $Y_1 \sim Y_m$ のうちの第 j 行の電極である。電極 X_i と Y_j との間にはコンデンサC0として作用するようになっている。第2サスティンドライバ8においては、2つの電源B1、B2が備えられている。電源B1は電圧 V_{r1} （例えば、170V）を出力し、電源B2は電圧 V_{r2} （例えば、190V）を出力する。電源B1の正端子はスイッチング素子S3を介して電極 X_i への接続ライン11に接続され、負端子はアース接続されている。接続ライン11とアースとの間にはスイッチング素子S4が接続されている他、スイッチング素子S1、ダイオードD1及びコイルL1からなる直列回路と、コイルL2、ダイオードD2及びスイッチング素子S2からなる直列回路とがコンデンサC1を共通にアース側に介して接続されている。なお、ダイオードD1はコンデンサC1側をアノードとしており、ダイオードD2はコンデンサC1側をカソードとして接続されている。また、電源B2の正端子はスイッチング素子S8及び抵抗R1を介して接続ライン11に接続され、電源B2の負端子はアース接続されている。

【0032】第1サスティンドライバ7においては、4つの電源B3～B6が備えられている。電源B3は電圧 V_{r1} （例えば、170V）を出力し、電源B4は電圧 V_{r2} （例えば、190V）を出力し、電源B5は電圧 V_{r3} （例えば、140V）を出力し、電源B6は電圧 V_{r4} （例えば、160V、 $V_{r4} > V_{r3}$ ）を出力する。電源B3の正端子はスイッチング素子S13を介してスイッチング素子S15への接続ライン12に接続され、負端子はアース接続されている。接続ライン12とアースとの間にはスイッチング素子S14が接続されている他、スイッチング素子S11、ダイオードD3及びコイルL4からなる直列回路と、コイルL4、ダイオードD4及びスイッチング素子S12からなる直列回路とがコンデンサC2を共通にアース側に介して接続されている。なお、ダイオードD3はコンデンサC2側をアノードとしており、ダイオードD4はコンデンサC2側をカソードとして接続されている。

【0033】接続ライン12はスイッチング素子S15

を介して電源B6の負端子への接続ライン13に接続されている。電源B4、B5各々の正端子はアース接続され、負端子はスイッチング素子S16、そして抵抗R2を介して接続ライン13に接続されている。電源B5の負端子はスイッチング素子S17を介して接続ライン13に接続されている。

【0034】電源B6の正端子はスイッチング素子S21を介して電極 Y_j への接続ライン14に接続され、接続ライン13と接続された電源B6の負端子はスイッチング素子S22を介して接続ライン14に接続されている。スイッチング素子S21にはダイオードD5が並列に接続され、またスイッチング素子S22にはダイオードD6が並列に接続されている。ダイオードD5は接続ライン14側をアノードとし、ダイオードD6は接続ライン14側をカソードとして接続されている。

【0035】上記のスイッチング素子S1～S4、S8、S11～S17、S21及びS22のオンオフは制御回路2によって制御される。図11の各スイッチング素子の矢印が制御回路2からの制御信号端子である。なお、第1サスティンドライバ7において電源B3、スイッチング素子S11～S15、コイルL3、L4、ダイオードD3、D4及びコンデンサC2がサスティンドライバ部を構成し、電源B4、抵抗R2及びスイッチング素子S16がリセットドライバ部を構成し、残りの電源B5、B6、スイッチング素子S13、S17、S21、S22及びダイオードD5、D6がスキンドライバ部を構成している。

【0036】次に、かかる構成の本発明によるPDP駆動装置の動作について図12のタイミングチャートを参照しつつ説明する。PDP駆動装置の動作はリセット期間、アドレス期間及びサスティン期間（発光維持期間）からなる。まず、リセット期間になると、第2サスティンドライバ8のスイッチング素子S8がオンとなり、第1サスティンドライバ7のスイッチング素子S16、S22が共にオンとなる。その他のスイッチング素子はオフである。スイッチング素子S16、S22のオンにより電源B4の正端子からスイッチング素子S16、抵抗R2及びスイッチング素子S22を介して電極 Y_j に電流が流れ、またスイッチング素子S8のオンにより電極 X_i から抵抗R1、スイッチング素子S8を介して電源B2の負端子に電流が流れ込む。電極 X_i の電位はコンデンサC0と抵抗R1との時定数により徐々に低下してリセットパルス PR_x となり、電極 Y_j の電位はコンデンサC0と抵抗R2との時定数により徐々に上昇してリセットパルス PR_y となる。リセットパルス PR_x は最終的に電圧 $-V_{r1}$ となり、リセットパルス PR_y は最終的に電圧 V_{r2} となる。このリセットパルス PR_x は電極 $X_1 \sim X_n$ の全てに同時に印加され、リセットパルス PR_y も電極 $Y_1 \sim Y_m$ 毎に生成されて電極 $Y_1 \sim Y_m$ 全てに同時に印加される。

【0037】これらリセットパルス RP_x 及び RP_y の同時印加により、PDP1の全ての放電セルが放電励起して荷電粒子が発生し、この放電終息後、全放電セルの誘電体層には一様に所定量の壁電荷が形成される。スイッチング素子S8、S16はリセットパルス PR_x 及び PR_y のレベルが飽和した後、リセット期間終了以前にオフとなる。また、この時点にスイッチング素子S4、S14及びS15がオンとなり、電極 X_1 及び Y_1 は共にアースされる。これによりリセットパルス PR_x 及び PR_y は消滅する。

【0038】次に、アドレス期間が開始されると、スイッチング素子S14、S15及びS22がオフとなり、スイッチング素子S17がオンとなり、同時にスイッチング素子S21がオンとなる。これにより、電源B6と電源B5とが直列接続された状態となるので、電源B6の正端子の電位は $V_{B6}-V_{D1}$ となる。この正電位がスイッチング素子S21を介して電極 Y_1 に印加される。

【0039】アドレス期間においてアドレスドライバ2は映像信号に基づく各画素毎の画素データを、その論理レベルに応じた電圧値を有する画素データパルス $DP_1 \sim DP_n$ に変換し、これを1行分毎に、上記列電極 $D_1 \sim D_n$ に順次印加する。図5に示すように電極 $Y_1, Y_{1,1}$ に対しては画素データパルス $DP_1, DP_{1,1}$ が印加される。

【0040】第1サスティンドライバ7は、上記画素データパルス群 $DP_1 \sim DP_n$ 各々のタイミングに同期させて負電圧の走査パルスSPを行電極 $Y_1 \sim Y_n$ に順次印加して行く。アドレスドライバ2からの画素データパルス DP_1 の印加に同期してスイッチング素子S21がオフとなり、スイッチング素子S22がオンとなる。これにより電源B5の負端子の負電位 $-V_{B5}$ がスイッチング素子S17、そしてスイッチング素子S22を介して電極 Y_1 に走査パルスSPとして印加される。そして、アドレスドライバ2からの画素データパルス DP_1 の印加の停止に同期してスイッチング素子S21がオンとなり、スイッチング素子S22がオフとなり、電源B6の正端子の電位 $V_{B6}-V_{D1}$ がスイッチング素子S21を介して電極 Y_1 に印加される。その後、電極 $Y_{1,1}$ についても図5に示すように、電極 Y_1 と同様にアドレスドライバ2からの画素データパルス $DP_{1,1}$ の印加に同期して走査パルスSPが印加される。

【0041】走査パルスSPが印加された行電極に属する放電セルの内では、正電圧の画素データパルスが更に同時に印加された放電セルにおいて放電が生じ、その壁電荷の大半が失われる。一方、走査パルスSPが印加されたものの正電圧の画素データパルスが印加されなかった放電セルでは放電が生じないので、上記壁電荷が残留したままとなる。この際、壁電荷が残留したままとなった放電セルは発光放電セル、壁電荷が消滅してしまった放電セルは非発光放電セルとなる。

【0042】アドレス期間からサスティン期間に切り替わる時には、スイッチング素子S17、S21はオフとなり、代わってスイッチング素子S14、S15及びS22がオンとなる。スイッチング素子S4のオン状態は継続される。サスティン期間において、第2サスティンドライバ8では、スイッチング素子S4のオンにより電極 X_1 の電位はほぼ0Vのアース電位となる。次に、スイッチング素子S4がオフとなり、スイッチング素子S1がオンになると、コンデンサC1に蓄えられている電荷によりコイルL1、ダイオードD1、そしてスイッチング素子S1を介して電流が電極 X_1 に達してコンデンサC0に流れ込み、コンデンサC0を充電させる。このとき、コイルL1及びコンデンサC0の時定数により電極 X_1 の電位は図12に示すように徐々に上昇する。

【0043】次いで、スイッチング素子S1がオフとなり、スイッチング素子S3がオンとなる。これにより、電極 X_1 には電源B1の正端子の電位 V_{B1} が印加される。その後、スイッチング素子S3がオフとなり、スイッチング素子S2がオンとなり、コンデンサC0に蓄積された電荷により電極 X_1 からコイルL2、ダイオードD2、そしてスイッチング素子S2を介してコンデンサC1に電流が流れ込む。このとき、コイルL2及びコンデンサC1の時定数により電極 X_1 の電位は図12に示すように徐々に低下する。電極 X_1 の電位がほぼ0Vに達すると、スイッチング素子S2がオフとなり、スイッチング素子S4がオンとなる。

【0044】かかる動作によって第2サスティンドライバ8は図12に示した如き正電圧の維持放電パルス IP を電極 X_1 に印加する。第1サスティンドライバ7では、維持放電パルス IP_x が消滅するスイッチング素子S4のオン時に同時に、スイッチング素子S11がオンとなり、スイッチング素子S14がオフとなる。スイッチング素子S14がオンであったときには電極 Y_1 の電位はほぼ0Vのアース電位となっているが、スイッチング素子S14がオフとなり、スイッチング素子S11がオンになると、コンデンサC2に蓄えられている電荷によりコイルL3、ダイオードD3、スイッチング素子S11、スイッチング素子S15、そしてダイオードD6を介して電流が電極 Y_1 に達してコンデンサC0に流れ込み、コンデンサC0を充電させる。このとき、コイルL3及びコンデンサC0の時定数により電極 Y_1 の電位は図12に示すように徐々に上昇する。

【0045】次いで、スイッチング素子S11がオフとなり、スイッチング素子S13がオンとなる。これにより、電極 Y_1 には電源B3の正端子の電位 V_{B3} がスイッチング素子S13、スイッチング素子S15、そしてダイオードD6を介して印加される。その後、スイッチング素子S13がオフとなり、スイッチング素子S12がオンとなり、更にスイッチング素子S22がオンとなり、コンデンサC0に蓄積された電荷により電極 Y_1 か

らスイッチング素子S22、スイッチング素子S15、コイルL4、ダイオードD4、そしてスイッチング素子S12を介してコンデンサC2に電流が流れ込む。このとき、コイルL4及びコンデンサC2の時定数により電極Y₁の電位は図12に示すように徐々に低下する。電極Y₁の電位がほぼ0Vに達すると、スイッチング素子S12及びS22がオフとなり、スイッチング素子S14がオンとなる。

【0046】かかる動作によって第1サスティンドライバ7は図12に示した如き正電圧の維持放電パルスIP₁を電極Y₁に印加する。このように、サスティン期間においては、維持放電パルスIP₁と維持放電パルスIP₂とが交互に生成して電極X₁〜X_nと電極Y₁〜Y_nとに交互に印加されるので、上記壁電荷が残留したままとなっている発光放電セルは放電発光を繰り返しその発光状態を維持する。

【0047】制御回路2は、サスティン期間においてスイッチング素子S1〜S4、S11〜S14のオンオフ制御を図13に示すように行う。すなわち、制御回路2は、ABL回路31における動作モードが第1モード及び第2モードのうちのいずれであるかを判別する（ステップS31）。第1モードの場合には、スイッチング素子S3、S13のオン開始タイミングを早くするように各制御信号を発生する（ステップS32）。一方、第2モードの場合には、スイッチング素子S2、S12のオン開始タイミングを早くし、更にスイッチング素子S4、S14のオン開始タイミングを早くするように各制御信号を発生する（ステップS33）。

【0048】図14(a)はサスティン期間における第1サスティンドライバ7のスイッチング素子S11〜S14の従来のオンオフタイミングと、それによって生じるライン12上の電位変化及び放電電流の変化とを示している。なお、サスティン期間における第2サスティンドライバ8のスイッチング素子S1〜S4のオンオフタイミングとそれによって生じるライン11上の電位変化及び放電電流の変化とは第1サスティンドライバ7の場合と同様であるので括弧書きで示され、このことは図14(b)及び(c)についても同様である。

【0049】図14(b)は第1モードの場合のサスティン期間におけるスイッチング素子S11〜S14（S1〜S4）のオンオフタイミングと、それによって生じるライン12（ライン11）上の電位変化及び放電電流の変化とを示している。この第1モードの場合には、スイッチング素子S11（S1）のオンとなり、同時にスイッチング素子S14（S14）がオフとなると、電極Y₁、X₁間のコンデンサC0を充電させる電流が流れてライン12（ライン11）上、すなわち電極Y₁（X₁）の電位は徐々に上昇する。この電極Y₁（X₁）の電位が電位V_{s1}に達する前に、スイッチング素子S13（S3）がオンとなる。よって、電極Y₁（X₁）の電位は電源B

3（B1）の出力電圧によって電位V_{s1}にクランプされる。そのクランプ後も共振動作が続いて図14(b)に示されるように電極Y₁（X₁）の電位はオーバシュートして電位V_{s1}よりも高くなる。放電電流のピークレベルも従来よりも高くなる。これは電源B3（B1）の出力電圧を高くしたことに等しくなる。これにより放電空間に封入されたキセノンガスから励起される真空紫外線が増大し、更に、増大した真空紫外線によって蛍光体層からの色光量が増えるので、輝度の増大を招くことになる。従って、ピーク輝度を増大させることができる。

【0050】図14(c)は第2モードの場合のサスティン期間におけるスイッチング素子S11〜S14（S1〜S4）のオンオフタイミングと、それによって生じるライン12（ライン11）上の電位変化及び放電電流の変化とを示している。この第2モードの場合には、スイッチング素子S11（S1）のオン期間の長さ及びスイッチング素子S13（S3）のオン開始タイミングは図14(a)の従来装置の場合と同一である。しかしながら、図14(a)の従来装置の場合に比してスイッチング素子S13（S3）のオン期間が短く、スイッチング素子S12（S2）が早くオンとなるので、電極Y₁、X₁間を流れる放電電流が図14(c)に示されるようになだらかに減少変化している途中で急に0になる。よって、放電電流は制限されるので、消費電力が抑制され、発光効率が向上することになる。

【0051】なお、図14においてスイッチング素子S11、S1のオン終了タイミングは、スイッチング素子S13、S3のオン開始タイミングからスイッチング素子S12、S2のオン開始タイミングの間のどこでも良い。また、スイッチング素子S12、S2のオン終了タイミングは、スイッチング素子S14、S4のオン開始タイミングからスイッチング素子S11、S1のオン開始タイミングまでの間のどこでも良い。

【0052】このように、ABL回路31における動作モードが平均輝度レベルが低い第1モードにあるときには、輝度を増大させることができ、平均輝度レベルが高い第2モードにあるときには、電力削減及び発光効率の向上を達成することができる。なお、上記した実施例においては、階調駆動法として1フィールドの表示期間をN（例えば、14）個のサブフィールドで構成し、1リセット1選択消去アドレス法+1階調表示（例えば、14+1=15階調）を行う場合について示したが、これに限らず、従来のようにN個のサブフィールドで2ⁿ階調表示を行う場合にも適用しても良い。また、選択消去アドレス法に限らず、選択書き込みアドレス法を用いた駆動法にも本発明を適用することができる。

【0053】また、本発明は共振回路を用いた表示用の駆動パルス発生回路と消費電力制限回路（自動輝度制限回路）とを備えた表示装置に適用することができる。

【0054】

【発明の効果】以上の如く、本発明によれば、発光維持期間における輝度及び発光効率を改善することができる。

【図面の簡単な説明】

【図1】本発明による表示装置の概略構成を示す図である。

【図2】選択消去アドレス法を採用した際の発光駆動フォーマットを示す図である。

【図3】データ変換回路30の内部構成を示す図である。

【図4】ABL回路31の内部構成を示す図である。

【図5】データ変換回路312における変換特性を示す図である。

【図6】輝度モードと各サブフィールドの維持発光行程にて実施される発光回数比との対応関係を示す図である。

【図7】第1データ変換回路32における変換特性を示す図である。

【図8】PDPの各電極に印加される各種駆動パルスの印加タイミングを示す図である。

【図9】図2の発光駆動フォーマットに基づいて実施される発光駆動のパターンの一例を示す図である。

【図10】図2の発光駆動フォーマットに基づいて実施*

*される発光駆動の全パターン、及びこの発光駆動を実施する際に第2データ変換回路34で用いられる変換テーブルの一例を示す図である。

【図11】第1及び第2サステンドライバの具体的な構成を示す回路図である。

【図12】図11の回路の各部のタイムチャートである。

【図13】駆動制御回路の動作を示すフローチャートである。

10 【図14】各スイッチング素子のオンオフタイミング、ライン上の電位変化及び放電電流変化を示す図である。

【符号の説明】

2 駆動制御回路

6 アドレスドライバ

7 第1サステンドライバ

8 第2サステンドライバ

10 PDP

30 データ変換回路

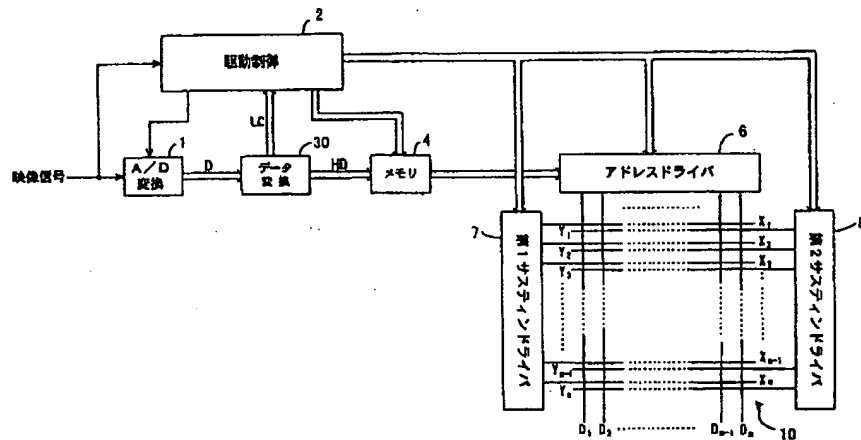
31 ABL回路

20 32 第1データ変換回路

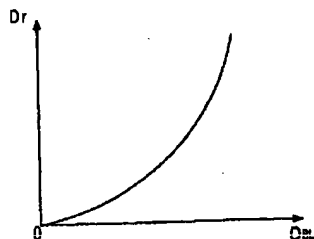
33 多階調化処理回路

34 第2データ変換回路

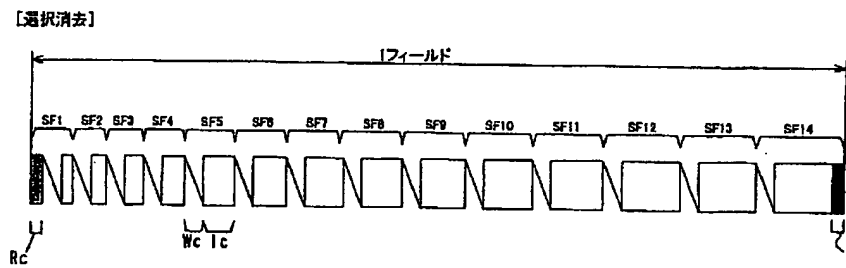
【図1】



【図5】

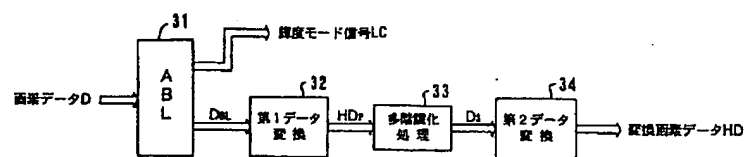


【図2】



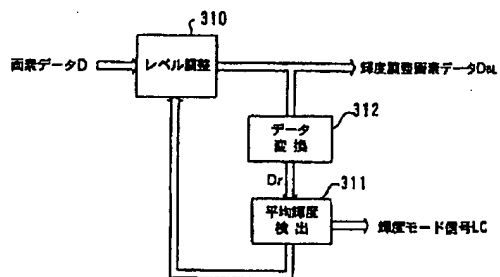
【図3】

30



【図4】

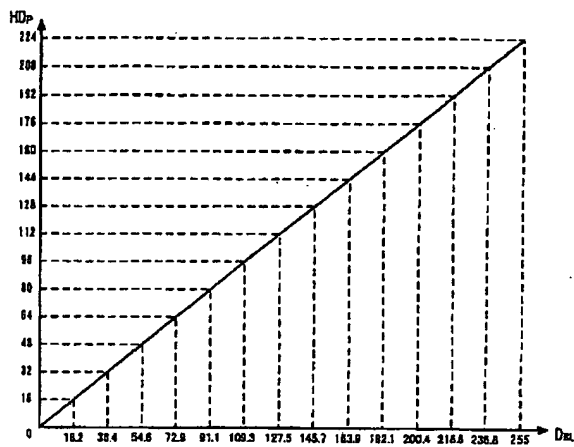
31



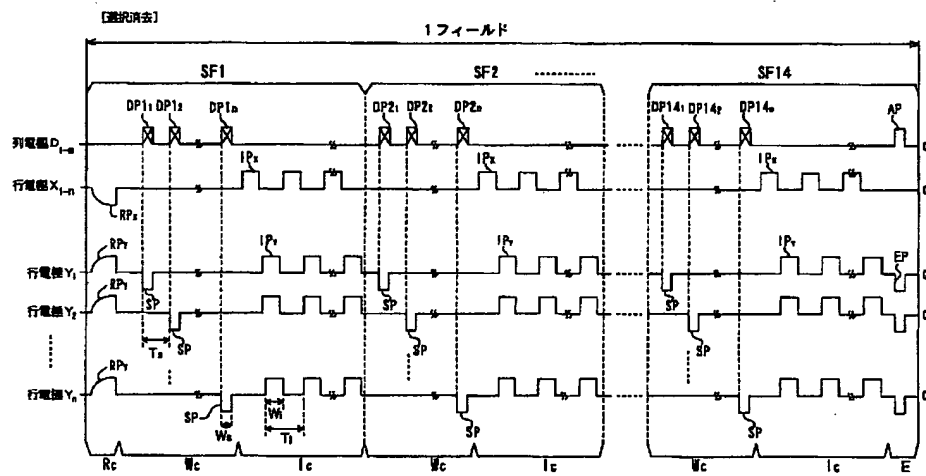
【図6】

LC	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12	SF13	SF14
第1モード	4	12	20	32	40	52	64	76	88	100	112	128	140	156
第2モード	3	9	15	24	30	39	48	57	66	75	84	96	105	117

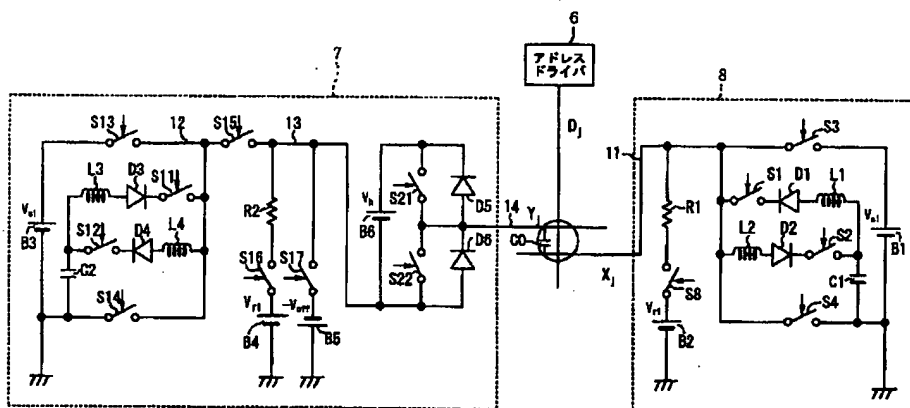
【図7】



【図8】



【図11】



【図9】

【選択消去】

行	1	2	3	4	5	6	7	8	9	10	11	12	13	14	第1フィールド	第2フィールド
1	●														0	0
2	○	●													4	3
3	○	○	●												16	12
4	○	○	○	●											36	27
5	○	○	○	○	●										64	51
6	○	○	○	○	○	●									108	81
7	○	○	○	○	○	○	●								160	120
8	○	○	○	○	○	○	○	●							224	168
9	○	○	○	○	○	○	○	○	●						300	225
10	○	○	○	○	○	○	○	○	○	●					388	291
11	○	○	○	○	○	○	○	○	○	○	●				488	368
12	○	○	○	○	○	○	○	○	○	○	○	●			600	450
13	○	○	○	○	○	○	○	○	○	○	○	○	●		728	544
14	○	○	○	○	○	○	○	○	○	○	○	○	○	●	868	651
15	○	○	○	○	○	○	○	○	○	○	○	○	○	○	1024	788

黒丸:選択消去放電
白丸:発光

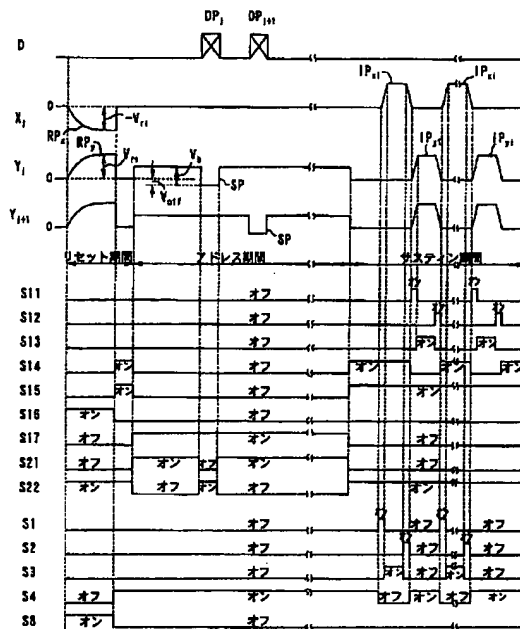
【図10】

【選択消去】

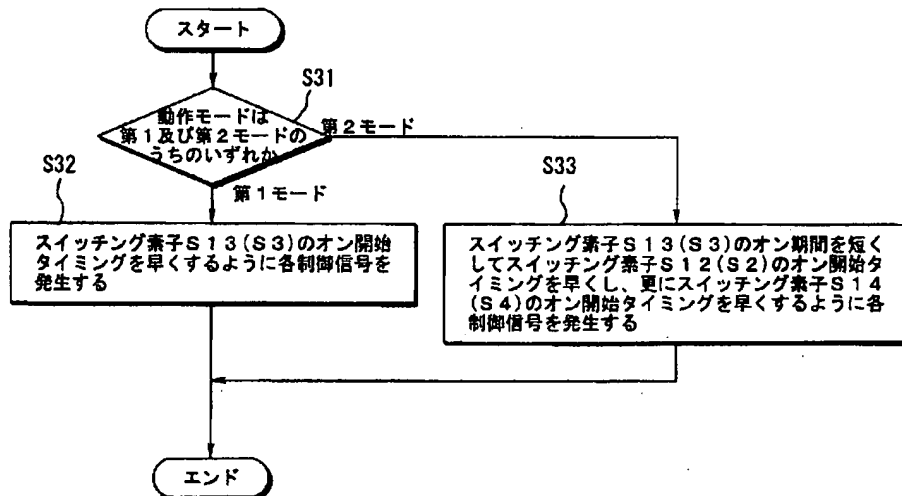
Da	HD														1フィールドにおける発光駆動パターン														発光 輝度
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
0000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	●														0
0001	0	1	0	0	0	0	0	0	0	0	0	0	0	0	○	●													1
0010	0	0	1	0	0	0	0	0	0	0	0	0	0	0	○	○	●												4
0011	0	0	0	1	0	0	0	0	0	0	0	0	0	0	○	○	○	●											9
0100	0	0	0	0	1	0	0	0	0	0	0	0	0	0	○	○	○	○	●										17
0101	0	0	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	○	○	●									27
0110	0	0	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	○	○	○	●							40
0111	0	0	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		56
1000	0	0	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		75
1001	0	0	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		87
1010	0	0	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		122
1011	0	0	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		150
1100	0	0	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	○		182
1101	0	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○		217
1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○		256

黒丸:選択消去放電
白丸:発光

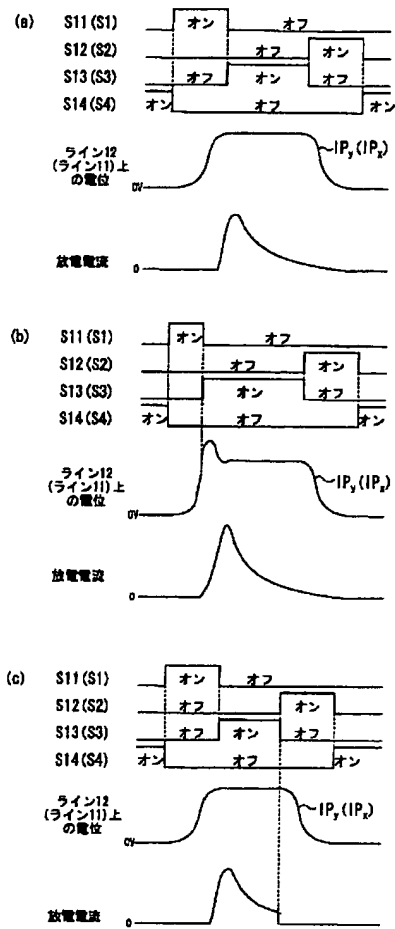
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.⁷

H04N 5/66

識別記号

101

F I

G09G 3/28

テーマコード (参考)

H

F ターム (参考) 5C058 AA11 BA02 BA05 BA26 BB04

BB13

5C080 AA06 BB05 DD30 EE28 FF12

HH05 JJ02 JJ03 JJ04 JJ07